

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-299624

(43)Date of publication of application : 12.11.1993

(51)Int.Cl.

H01L 27/118

H01L 21/82

H01L 27/04

(21)Application number : 04-104248

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 23.04.1992

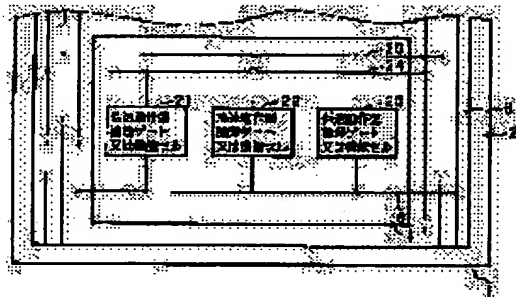
(72)Inventor : ARAKAWA TAKAHIKO

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

## (57)Abstract:

**PURPOSE:** To provide a semiconductor integrated circuit device in which power consumption can be inhibited without lowering the operation frequency of an LSI.

**CONSTITUTION:** Two system of power-supply voltage fed to an LSI chip 1 are prepared as power-supply lines 24, 25 having different voltage respectively, a high-speed operation type logic gate or functional cell 22 is supplied with power-supply voltage at comparatively high voltage by the power-supply line 25 and low-speed operation type logic gate or function cells 21, 23 with power-supply voltage at comparatively low voltage by the power-supply line 24 respectively.



## LEGAL STATUS

[Date of request for examination] 07.03.1996

[Date of sending the examiner's decision of rejection] 11.08.1998

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-299624

(43) 公開日 平成5年(1993)11月12日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/118 21/82 27/04		D 8427-4M 8225-4M 8225-4M	H 0 1 L 21/82	M L
審査請求 未請求 請求項の数3 (全 7 頁)				

(21) 出願番号 特願平4-104248

(22) 出願日 平成4年(1992)4月23日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 荒川 隆彦

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社カスタム・エル・エス・アイ設計

技術開発センター内

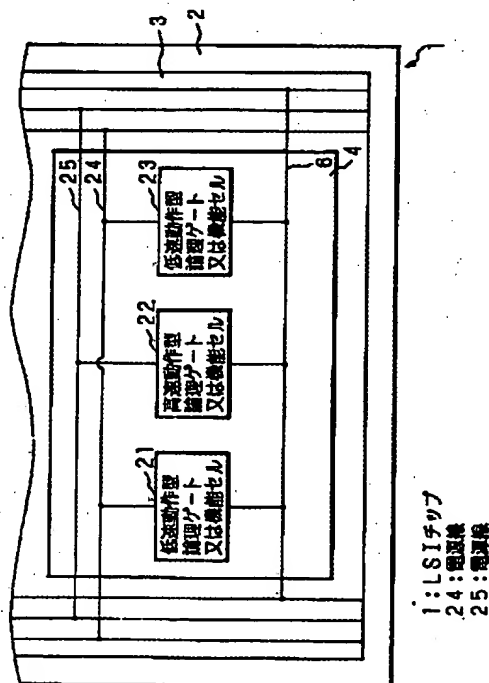
(74) 代理人 弁理士 高田 守

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【目的】 LSIの動作周波数を低下させることなく、消費電力を抑制することが可能な半導体集積回路装置の提供を目的とする。

【構成】 LSIチップ1に給電される電源電圧をそれぞれ電圧が異なる電源線24、25として2系統設けておき、高速動作型論理ゲート又は機能セル22には比較的高電圧の電源電圧を電源線25にて、低速動作型論理ゲート又は機能セル21、23には比較的低電圧の電源電圧を電源線24にてそれぞれ給電する。



1

## 【特許請求の範囲】

【請求項1】 高速動作型論理回路と、低速動作型論理回路と、各論理回路に電源電圧を給電する電源配線とを半導体チップ上に備えた半導体集積回路装置において、前記電源配線は電圧が異なる2系統が設けられており、前記2系統の電源配線の内の比較的高電圧を給電する電源配線を前記高速動作型論理回路に、比較的低電圧を給電する電源配線を前記低速動作型論理回路にそれぞれ接続してあることを特徴とする半導体集積回路装置。

【請求項2】 異なる動作速度、性能、特性の論理回路複数と、各論理回路に電源電圧を給電する電源配線とを半導体チップ上に備えた半導体集積回路装置において、前記電源配線はそれぞれ電圧が異なる複数系統が設けられており、前記複数の論理回路それぞれの動作速度、性能、特性に応じた最小許容電圧値に対応して前記複数系統の電源配線のいずれかをそれぞれ接続してあることを特徴とする半導体集積回路装置。

【請求項3】 論理/演算部と、該論理/演算部を駆動するドライバ部とを有する論理回路と、該論理回路に電源電圧を給電する電源配線とを半導体チップ上に備えた半導体集積回路装置において、前記電源配線は電圧が異なる2系統が設けられており、前記2系統の電源配線の内の比較的高電圧を給電する電源配線を前記ドライバ部に、比較的低電圧を給電する電源配線を前記論理/演算部にそれぞれ接続してあることを特徴とする半導体集積回路装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、相補型論理機能素子を有するマスタスライス方式のゲートアレイにて構成される論理回路を備えた半導体集積回路装置に関する。

【0002】

【従来の技術】 近年、微細化技術の進歩によりゲートアレイのゲート規模、動作スピードは年々向上している。その中でも、CMOSゲートアレイはゲート数が10万を越え、動作周波数は50MHzを越えている。このため、低消費電力を長所としてきたCMOSゲートアレイも消費電力が2W乃至3Wを越えるものも出現しており、消費電力の低減が求められるようになっている。サブミクロンからハー

フミクロンの時代に入り、トランジスタの信頼性の面から低電源電圧化が進められているが、消費電力の面からも電源電圧の低電圧化が必要になりつつある。

【0003】 従来、ロジックLSIは5Vの単一電源電圧で広く使用されてきた。図8の模式図にASICの代表的なデバイスであるゲートアレイの構成を示す。

【0004】 図8において参照符号1はLSIチップを示しており、大きくはI/Oバッファ等が構成される周辺回路配置領域2及び内部配線チャネル領域3とで構成されて

2

いる。内部領域4が設けられており、この内部論理ゲート領域4には一例として2入力NANDゲート7及び8、インバータ9等にて論理回路が構成されている。また、ゲート7とゲート8とは信号線10接続にて、ゲート8とゲート9とは信号線11にてそれぞれ接続されており、ゲート9の出力は出力信号線12から出力される。なお、各論理ゲート7、8、9には電源配線5、接地線6により電源電圧が供給されている。

【0005】 図9の回路図は論理ゲート7、8、9の具体的なトランジスタ回路を示し、図8と同一の参照符号はそれぞれ対応する部分を示している。

【0006】 このようなLSIチップ1上に構成されたゲートアレイでは、LSIチップ1の周辺回路配置領域2に配置されたI/Oバッファ（図示せず）により外部からの信号を入力して内部の論理ゲートへ伝達する。この場合、まず2入力NANDゲート7に外部からの信号が入力される。この2入力NANDゲート7へ入力されて演算された結果の信号は信号線10を介して2入力NANDゲート8に入力される。この2入力NANDゲート8で再度演算された結果の信号は信号線11を介してインバータ9に送られ、このインバータ9で反転されて信号線12から外部へ出力される。ここで、論理ゲート7、8、9が動作するために供給される電源電圧は電源配線5と接地線6とから供給されており、単一電源電圧となっている。

【0007】 一般的にCMOSの消費電力Pは下記式(1)にて表される。

$$P \propto f C V^2 \quad \dots(1)$$

但し、f：動作周波数

C：負荷容量

V：電源電圧

【0008】 従って、CMOSの消費電力Pは動作周波数f、負荷容量Cが共に一定である場合は電源電圧Vに大きく左右されることになる。換言すれば、動作周波数f、負荷容量Cが固定されている場合はCMOSの消費電力Pを小さくするためには電源電圧Vを下げる必要がある。

【0009】 しかし、電源電圧Vを下げる場合には当然のことながら動作スピードが低下する。また、単一電源であればチップ全体の電源電圧が低下することになるため、LSIに対して要求される所望の動作が出来なくなる虞が生じる。

【0010】

【発明が解決しようとする課題】 従来の半導体集積回路装置であるゲートアレイは上述のように構成され動作するので、高速動作する部分の電源電圧はそのまま維持し、低速動作する部分の電源電圧を下げて消費電力を下げることによりLSIの性能を維持することが必要である。

【0011】 本発明はこのような事情に鑑みてなされたものであり、LSIの動作周波数を低下させることなく、

消費電力を抑制することが可能な半導体集積回路装置の提供を目的とする。

【0012】

【課題を解決するための手段】本発明に係る半導体集積回路装置は、端的にはLSIチップに給電される電源電圧をそれぞれ電圧が異なる2系統設けておき、高速動作する論理回路には比較的高電圧の電源電圧を、低速動作する論理回路には比較的低電圧の電源電圧をそれぞれ給電するように構成している。

【0013】また、本発明に係る半導体集積回路装置は、LSIへに給電される電源電圧をそれぞれ電圧が異なる複数系統設けておき、それぞれの論理回路の特性に応じた電圧の電源電圧をそれぞれ給電するように構成している。

【0014】更に本発明の半導体集積回路装置は、LSIへに給電される電源電圧をそれぞれ電圧が異なる2系統設けておき、前記2系統の電源配線の内の比較的高電圧を給電する電源配線を論理回路のドライバ部に、比較的低電圧を給電する電源配線を論理回路の論理/演算部にそれぞれ給電するように構成している。

【0015】

【作用】本発明の半導体集積回路装置では、2系統の電源電圧の内の比較的高電圧が高速動作する論理回路に給電されるので、この論理回路は所定の速度で高速動作し、また比較的低電圧が低速動作する論理回路に給電されるので、この論理回路では消費電力が抑制される。

【0016】また本発明の半導体集積回路装置では、複数の論理回路にそれぞれの特性に応じて異なる電源電圧が給電されるので、各論理回路においては動作速度のみならず種々の特性に応じて高電圧が必要な論理回路には高電圧の電源電圧が与えられて所望の特性が発揮され、高電圧が必要でない論理回路では消費電力が抑制される。

【0017】更に本発明の半導体集積回路装置では、2系統の電源電圧の内の比較的低電圧が論理回路を構成する論理/演算部に、比較的高電圧が論理回路を構成し論理/演算部を駆動するドライバ部にそれぞれ給電されるので、負荷容量が比較的小さい論理/演算部では消費電力が抑制され、比較的高負荷容量が大きいドライバ部は高速動作する。

【0018】

【実施例】以下、本発明をその実施例を示す図面に基づいて詳述する。

【0019】図1は本発明の半導体集積回路装置の第1の実施例の構成例を示すブロック図である。なお、この図1においては、前述の従来例の説明で参照した図8及び図9と同一の参照符号は同一又は相当部分を示している。

【0020】図1はLSIチップ1上に構成された本発明の半導体集積回路装置の一部を示しており、その内部論

理ゲート配置領域4には低速動作する論理回路としての低速動作型論理ゲート又は機能セル21及び23と、高速動作する論理回路としての高速動作型論理ゲート又は機能セル22とが形成されている。また内部論理ゲート配置領域4の周囲の配線チャネル領域3には低電圧電源線24、高電圧電源線25及び接地配線6が設けられている。

【0021】低速動作型論理ゲート又は機能セル21及び23は低電圧電源線24及び接地線6と接続されており、低電圧の電源電圧を供給されて動作する。また、高速動作型論理ゲート又は機能セル22は高電圧電源線25及び接地線6と接続されており、低電圧電源線24よりも高い電圧の電源電圧が供給されて動作する。

【0022】図2は上述の第1の実施例を具体化したトランジスタ回路を示す回路図である。

【0023】図2において、参照符号7は低速動作型論理ゲート又は機能セル21としての2入力NANDゲートを、8は高速動作型論理ゲート又は機能セル22としての2入力NANDゲートを、9は低速動作型論理ゲート又は機能セル23としてのインバータをそれぞれ示している。そして、2入力NANDゲート7の出力端子と2入力NANDゲート9の入力端子とは信号線10にて接続されており、2入力NANDゲート8の出力端子とインバータ9の入力端子とは信号線11にて接続されており、インバータ9の出力端子からは信号線12が延出されている。また、参照符号24は低電圧電源線であり、25は高電圧電源線25であり、更に6は接地配線であることは図1と同様である。

【0024】このような回路においてたとえば、2入力NANDゲート8とインバータゲート9との間の信号線11が他の信号線10、12に比して配線容量が大きい場合、2入力NANDゲート8のドライブ能力を大きくする必要がある。しかし、消費電力を下げるために電圧を下げると負荷容量が大きいために極端に遅延時間が長くなり、高速動作型論理ゲート又は機能セル22としての2入力NANDゲート8の動作スピードが低下する。このため、2入力NANDゲート8を高速動作可能とするために高電圧電源線25と接続している。

【0025】一方、低速動作型論理ゲート又は機能セル21、23としての2入力NANDゲート7及びインバータ9は電圧を下げて所望の遅延時間で動作する。換言すれば、所望の動作スピードを維持出来る。このため、これらの2入力NANDゲート7及びインバータゲート9は消費電力を下げるために低電圧電源24と接続している。

【0026】図2に示されている第1の実施例の具体的なトランジスタ回路の構成では、ゲートの負荷容量の大小により高電圧または低電圧のいずれかと接続するように構成している。しかし、そのような事情には拘わらずに、高速動作型ゲートは高電圧電源線25から、低速動作型ゲートは低電圧電源線24から給電するようにしてもよいことは勿論である。

【0027】また、上記第1の実施例では電源電圧の系

5

統（電圧の種類）を2系統としているが、図3に示されているように、3系統以上の複数の電源電圧を設け、各論理ゲート又は機能セルが所望の動作スピードを達成出来る最大許容電圧を供給できる電源とそれぞれ接続して消費電力を抑制するような第2の実施例も実現可能である。以下、そのような第2の実施例について説明する。

【0028】図3において、参照符号33は高速動作型論理ゲート又は機能セルを、34は中速動作型論理ゲート又は機能セルを、35は低速動作型論理ゲート又は機能セルを、36は低消費電力型論理ゲート又は機能セルをそれぞれ示している。また、参照符号37、38、39、40はいずれも電源線を、参照符号6は接地線をそれぞれ示している。なお、各電源線37、38、39、40は、電源線37が最も高電圧に、以下電源線38、39、40の順に順次低電圧に設定されている。

【0029】そして、高速動作が必要な高速動作型論理ゲート又は機能セル33は電源電圧の最も高い電源線37と接続され、中程度の動作スピードでよい中速動作型論理ゲート又は機能セル34は電源線37よりも低い電源電圧を供給する電源線38と接続され、低速動作でもLSI全体の動作に支障をきたさない低速動作型論理ゲート又は機能セル35は更に低電圧の電源線39と接続され、また更に低速動作してでも低消費電力とすることが必要なセル36はLSIが動作可能な最小許容電力を供給する電源線40と接続されている。なお、接地線6は各セル33、34、35、36と接続されている。

【0030】このように、本発明の半導体集積回路装置の第2の実施例では、各論理ゲート又は機能セルの動作スピードに適した電源電圧を供給するので、無駄がなく、消費電力を最小限に抑えることが出来る。

【0031】なお、上記第1及び第2のいずれの実施例とも、メタル配線工程（ゲートアレイではスライス工程）において各論理ゲート又は機能セル21、22、23、7、8、9、33、34、35、36と電源線24、25、37、38、39、40とを接続することにより電源電圧の選択を行うことが可能である。従って、本発明の半導体集積回路装置では各論理ゲート又は機能セルへの供給電圧の変更をメタル配線工程において任意に行える。

【0032】ところで、図1に示されている第1の実施例では電源電圧を2系統接続した場合について説明したが、この場合の電源電圧の具体的な配線方法（レイアウト）として、1系統は第1層配線層を使用し、もう1系統は第3層目の配線層を使用して供給するような構成例も実現可能である。図4の模式図にそのような構成例を示す。

【0033】図4において、参照符号21、23は低速動作型論理ゲート又は機能セルを、22は高速動作型論理ゲート又は機能セルをそれぞれ示しており、前述の図1に示されている第1の実施例の場合と同様である。また、参

6

照符号42は第3層目の配線層による低電圧電源線を、43は第1層目の配線層による高電圧電源線を、6は接地線をそれぞれ示している。なお、図4に示されている構成とは逆に、第1層目を低電圧配線層に、第3層目を高電圧配線層にすることも可能である。

【0034】この図4に示されている構成例では、第3層目の配線層を使用しているが、その代わりに第2層目の配線層を使用してもよい。また、第3層目の配線層の代わりにウェルコンタクト領域から電源電圧を供給するようにして2系統の電源電圧の供給をウェル配線層と第1層目とを使用して行ってもよい。この場合には、ウェルコンタクト領域をシリサイド化（低抵抗化）すれば抵抗値が下がるので電源線として充分使用可能になる。

【0035】図5の模式図にウェル層を使用する場合の構成例を示す。図5において、参照符号45はゲート電極、46はトランジスタのソース領域、47はウェル層のコンタクト領域、48はコンタクトホール、49は第1層目の配線（ソースとウェル層との接続用）をそれぞれ示している。図6は図5の一点鎖線における断面図であり、参照符号50はウェル層のコンタクト領域の表面をシリサイド化して低抵抗化した部分、51はウェル層である。

【0036】この構成例では、論理ゲート又は機能セルそれぞれに供給される電源電圧は1種類（単一）であるが、一つのセルに供給される電源電圧は複数であってもよい。図7のブロック図にそのような第3の実施例を示す。図7において、参照符号52は機能セルを、53は論理部（又は演算部）を、54はドライバ部を、6は接地線をそれぞれ示している。

【0037】機能セル52の論理部（又は演算部）53は負荷容量が比較的小さいので、低電圧を給電しても動作にはそれ程の影響はない。しかし、ドライバ部54は負荷駆動能力を高めておかないと負荷が大きいために動作スピードに影響を及ぼす。従って、論理部53は低電圧電源24から、ドライバ部54は高電圧電源25からそれぞれ電源電圧が供給されるようにすれば、動作スピードを低下させることなく消費電力を抑制することが出来る。

【0038】このように本発明の半導体集積回路装置では、2系統あるいは複数系統の電源電圧がそれぞれの論理回路の特性に応じて給電されるので、全体の処理速度の低下を回避しつつ消費電力の抑制を図ることが可能になる。また、2系統あるいは複数系統の電源配線を、集積回路の製造時のメタル配線構成（ゲートアレイではスライス行程）において選択的に行えるので比較的容易であり、また集積回路の異なる配線層、たとえばウェル配線層と第1層目の配線層とを利用して配線すればレイアウト面積を著しく増加させることもない。

【0039】

【発明の効果】以上に詳述したように本発明の半導体集積回路装置によれば、2系統の電源電圧の内の比較的高電圧が高速動作する論理回路に給電されるので、この論

7

理回路は所定の速度で高速動作して全体の処理速度の低下が回避され、また比較的低電圧が低速動作する論理回路に給電されるので、この論理回路では消費電力が抑制される。

【0040】また本発明の半導体集積回路装置によれば、複数の論理回路にそれぞれの特性に応じて異なる電源電圧が給電されるので、各論理回路においては動作速度のみならず種々の特性に応じて高電圧が必要な論理回路には高電圧の電源電圧が与えられて所望の特性が発揮されて全体の処理速度の低下が回避され、高電圧が必要でない論理回路では消費電力が抑制される。

【0041】更に本発明の半導体集積回路装置によれば、2系統の電源電圧の内の比較的低電圧が論理回路を構成する論理/演算部に、比較的高電圧が論理回路を構成し論理/演算部を駆動するドライバ部にそれぞれ給電されるので、負荷容量が比較的小さい論理/演算部では消費電力が抑制され、比較的負荷容量が大きいドライバ部は高速動作して全体の処理速度の低下が回避される。

【図面の簡単な説明】

【図1】本発明の半導体集積回路装置の第1の実施例の構成の一例を示すブロック図である。

【図2】図1の実施例を具体化したトランジスタ回路を示す回路図である。

8

【図3】本発明の半導体集積回路装置の第2の実施例の構成の一例を示すブロック図である。

【図4】本発明の半導体集積回路装置の他の構成例を示す模式図である。

【図5】図4の実施例の他の構成例を示す模式図である。

【図6】図5の一点鎖線における断面図である。

【図7】本発明の半導体集積回路装置の第3の実施例の構成の一例を示すブロック図である。

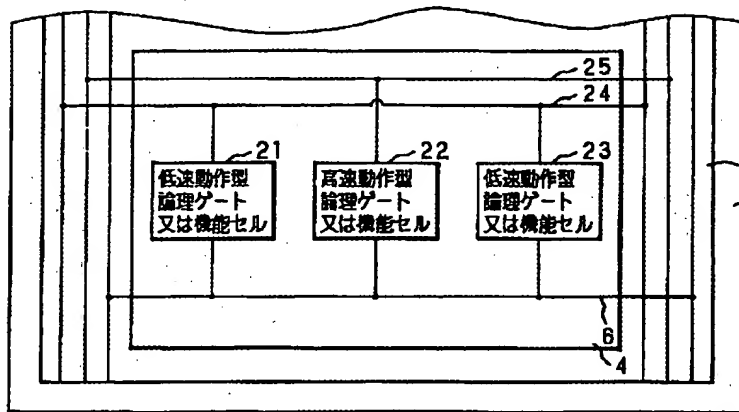
【図8】従来例を示す模式図である。

【図9】図8の模式図の具体的なトランジスタ回路を示す回路図である。

【符号の説明】

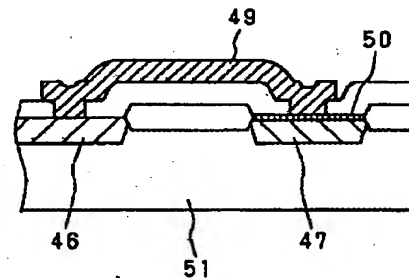
1	LSIチップ
24	電源線
25	電源線
37	電源線
38	電源線
39	電源線
40	電源線
42	電源線
43	電源線
52	機能セル

【図1】

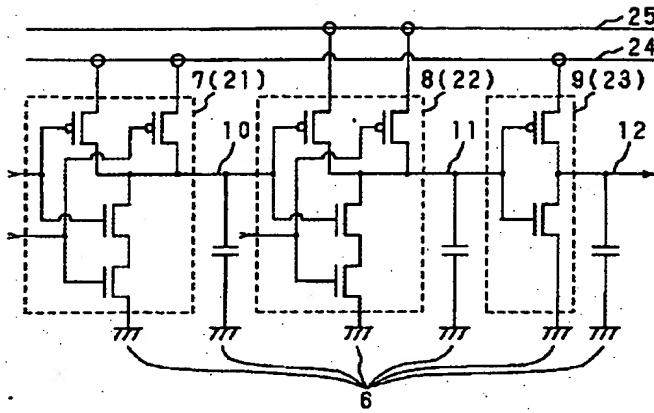


1: LSIチップ  
24: 電源線  
25: 電源線

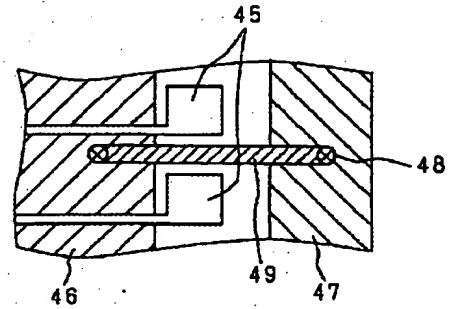
【図6】



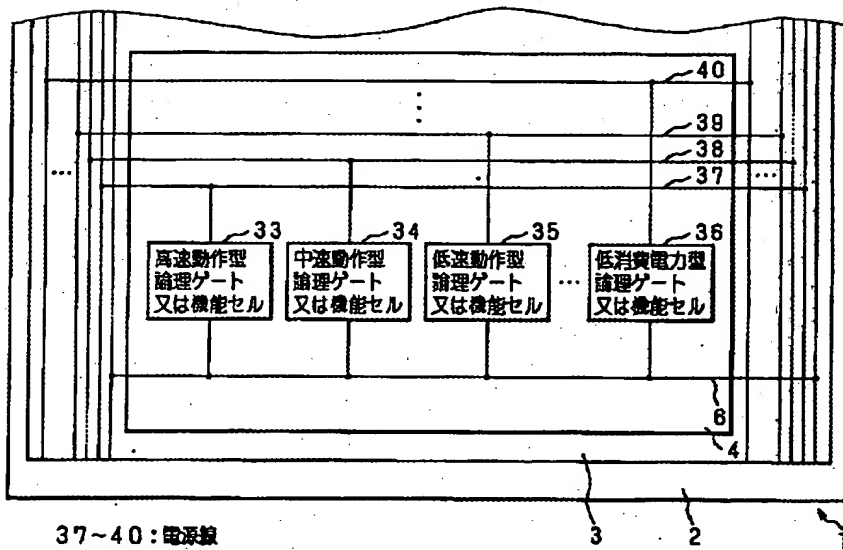
【図2】



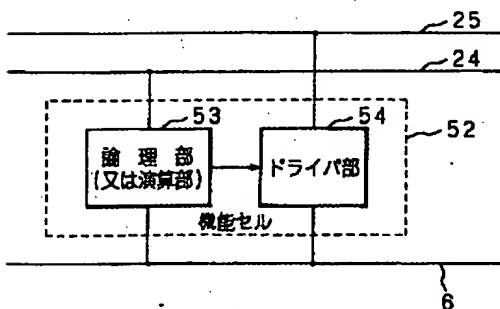
【図5】



【図3】

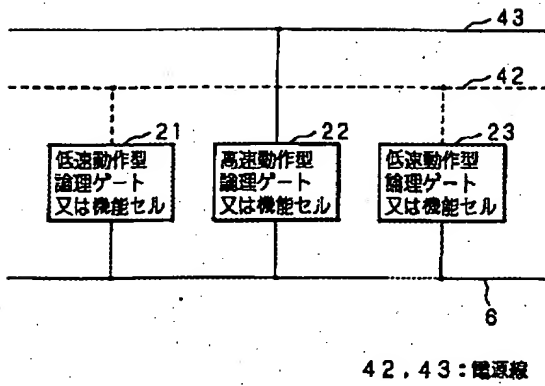


【図7】

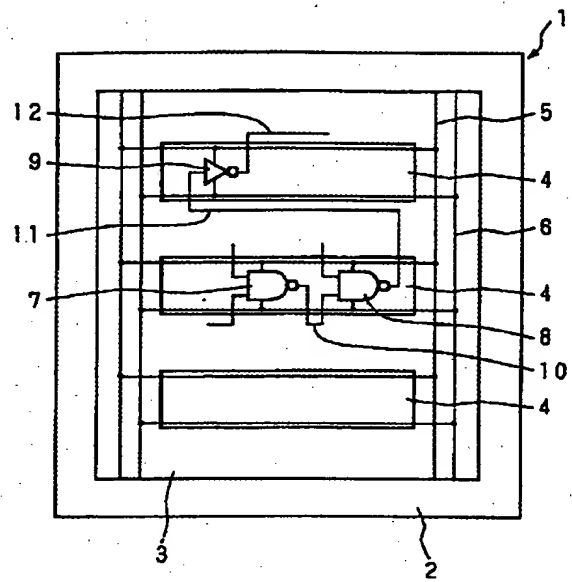




【図4】



【図8】



【図9】

